

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-218944

(43)Date of publication of application : 10.08.1992

(51)Int.Cl.

H01L 21/82

G06F 15/60

H01L 27/04

(21)Application number : 03-092879

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.03.1991

(72)Inventor : AGARI HIDEKI

(30)Priority

Priority number : 02146871

Priority date : 04.06.1990

Priority country : JP

(54) LAYOUT METHOD AND APPARATUS OF INTEGRATED CIRCUIT MASK**(57)Abstract:**

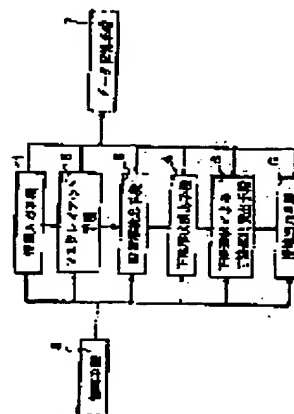
PURPOSE: To reduce a chip area by detecting a dimensional change through a substrate shape and by changing layout data so that the dimensional change is corrected.

CONSTITUTION: Layout data and process data are inputted by an information input means 1 composed of mouse, keyboard, etc. Then, the mask layout of each layer is generated by a mask layout means 2 composed of a layout editor on the basis of the layout data given from the information input means 1. Subsequently, a difference-in-level part detection means 3 detects a place having a difference in level exerting an influence upon dimensions out of points, where arbitrary layers cross each other, on the basis of the layout data.

Further, a substrate shape detection means 4 computes the shape of the difference-in-level part detected by the detection means 3 to detect a substrate shape.

After that, actual dimensions in the difference-in-level part are computed from dimensions in the layout based on shape data of the difference-in-level part by the detection means 4 so that a design rule is

changed in that part.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-218944

(43)公開日 平成4年(1992)8月10日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/60	3 7 0 K	7922-5L		
H 0 1 L 27/04	A	7210-4M		
		7638-4M	H 0 1 L 21/82	C

審査請求 未請求 請求項の数5(全 8 頁)

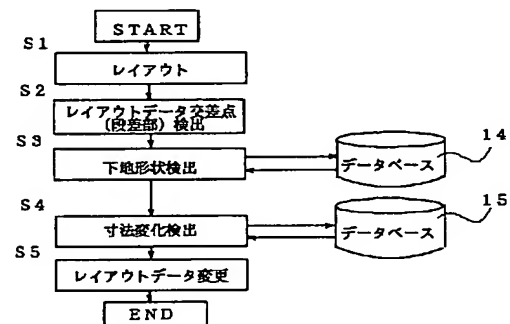
(21)出願番号	特願平3-92879	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成3年(1991)3月29日	(72)発明者	上里 英樹 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(31)優先権主張番号	特願平2-146871	(74)代理人	弁理士 鳥居 洋
(32)優先日	平2(1990)6月4日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 集積回路マスクのレイアウト方法および装置

(57)【要約】

【目的】 この発明の目的は、レイヤーの各領域で最適な寸法を選択してレイアウトを行ないチップ面積を小さくすることにある。

【構成】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する方法であって、マスクのレイアウトを作った後、レイアウトデータに基き任意のレイヤーが交差する点の中から寸法に影響を与える段差を有する個所を検出すると共に、この検出した段差部の形状を算出することにより下地形状を検出し、この検出した下地形状に基いて、レイヤーのレイアウト寸法を変更させる。



【特許請求の範囲】

【請求項1】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する方法であって、マスクのレイアウトを作った後、レイアウトデータに基き任意のレイヤーが交差する点の中から寸法に影響を与える段差を有する箇所を検出すると共に、この検出した段差部の形状を算出することにより下地形状を検出し、この検出した下地形状に基いて、レイヤーのレイアウト寸法を変更させることを特徴とする集積回路マスクのレイアウト方法。

【請求項2】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータとプロセスデータとを入力する入力手段と、この入力手段からのデータにより、マスクのレイアウトを作成する手段と、レイアウトデータに基き任意のレイヤーが交差する点の中から寸法に影響を与える段差を有する箇所を形成する検出する手段と、この検出手段にて検出した段差部の形状を算出することにより下地形状を検出する手段と、この検出した下地形状に基いて、レイヤーのレイアウト寸法を変更させる手段と、を備えてなる集積回路マスクのレイアウト装置。

【請求項3】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する方法であって、レイアウトデータとプロセスデータとを入力する第1ステップと、レイアウトデータとプロセスデータとに基づいて、デバイスの断面構造に関するデータを作成する第2ステップと、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する第3ステップと、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する第3ステップと、当該回路特性が所望の特性であるか否かを判別する第4ステップと、当該回路特性が所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更する第5ステップと、当該回路特性が所望の特性になるまで、上記第2ステップから第5ステップの処理を繰り返して行なう第6ステップとからなることを特徴とする集積回路マスクのレイアウト方法。

【請求項4】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータとプロセスデータとを入力する入力手段と、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する断面構造データ作成手段と、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する電気的特性データ作成手段と、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウト

データから抽出されるネットリストとに基いて、回路特性に関するデータを作成する回路特性データ作成手段と、当該回路特性が所望の特性であるか否かを判別する判別手段と、当該回路特性が所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更するデータ変更手段と、当該回路特性が所望の特性になるまで、断面構造データ作成手段、電気的特性データ作成手段、回路特性データ作成手段、判別手段およびデータ変更手段による処理を繰り返行なう手段と、を備えてなる集積回路マスクのレイアウト装置。

【請求項5】 入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータ入力とプロセスデータ入力とこれらのデータのうち変更可能なデータの指定入力と指定したデータについての変更優先順位入力とを行なうための入力手段と、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する断面構造データ作成手段と、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する電気的特性データ作成手段と、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する回路特性データ作成手段と、当該回路特性が所望の特性であるか否かを判別する判別手段と、当該回路特性が所望の特性でない場合には、上記指定入力されたデータを変更するデータ変更手段と、当該回路特性が所望の特性になるまで、断面構造データ作成手段、電気的特性データ作成手段、回路特性データ作成手段、判別手段およびデータ変更手段による処理を繰り返行なう手段とを備え、データ変更手段が変更優先順位の順に上記指定入力されたデータのうちの一つのデータを変更することを特徴とする集積回路マスクのレイアウト装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路（以下、LSIという。）のマスクパターンを作成するLSIマスクのレイアウト方法および装置に関する。

【0002】

【従来の技術】 従来よりLSIのマスクパターンは、いわゆるレイアウトエディタを用いて作成されている。このレイアウトエディタは計算機上のソフトウェアとして実現されている。レイアウトエディタはマウス、キーボード等の外部入力装置により、各レイヤーの図形を入力していき、LSIの各レイヤーのマスクパターンを作成していくものである。

【0003】 ところで、各レイヤー毎にデザインルールという図形の制限がある。このデザインルールはLSI

の製造プロセスに起因する制約により決定され、このデザインルールに基いて、各レイヤーのマスクパターンが自動的に作成されている。

【0004】

【発明が解消しようとする課題】 上述したようにLSIのレイアウトにおいては、デザインルールというLSIの製造プロセスに起因する制約があり、このデザインルールに基いてレイアウトを行っている。

【0005】 上述したデザインルールは、各レイヤーにおいて、最も条件の厳しい部分で最小寸法が決められている。例えば、メタルレイヤーにおいては、ポリシリコンレイヤーやフィールド酸化膜との交差点で段差による断線が生じる可能性があるため、平坦部に必要な線幅の寸法よりも太い寸法をデザインルールとして設定する必要がある。そのため、本来線幅が細くても十分な領域においても、太い寸法でレイアウト設計しているため、チップ面積がその分大きくなるという問題があった。

【0006】 ところで、レイアウト作成後において、その回路特性が好適か否かは、作成されたレイアウトのパターンを試作、評価し、回路特性を測定することにより判断されている。そして、回路特性が好適なものではなかったときに、レイアウトデータ、プロセスデータ等の入力データを変更して、再度レイアウトを作成しなおしている。

【0007】 このような方法では、作成されたレイアウトのパターンの試作、評価に時間がかかるため、効率が悪いという問題がある。

【0008】 この発明による第1の集積回路マスクのレイアウト方法およびこの発明による集積回路マスクのレイアウト装置の目的は、レイヤーの各領域で最適な寸法を選択してレイアウトを行ないチップ面積を小さくすることにある。

【0009】 この発明による第2の集積回路マスクのレイアウト方法およびこの発明による集積回路マスクのレイアウト装置の目的は、作成されたレイアウトのパターンの試作、評価を高速にでき、所望の回路特性を有するレイアウトを効率よく作成することにある。

【0010】

【課題を解消するための手段】 この発明による第1の集積回路マスクのレイアウト方法は、入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成するシステムであって、マスクのレイアウトを作った後、レイアウトデータに基き任意のレイヤーが交差する点の中から、寸法に影響を与える段差を有する箇所を検出すると共に、この検出した段差部の形状を算出することにより、下地形状を検出し、この検出した下地形状に基いて、レイヤーのレイアウト寸法を変更させることを特徴とする。

【0011】 この発明による第1の集積回路マスクのレイアウト装置は、入力された各レイヤーの図形に基

て、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータとプロセスデータとを入力する入力手段と、この入力手段からのデータにより、マスクのレイアウトを作成する手段と、レイアウトデータに基き任意のレイヤーが交差する点の中から寸法に影響を与える段差を有する箇所を形成する検出する手段と、この検出手段にて検出した段差部の形状を算出することにより下地形状を検出する手段と、この検出した下地形状に基いて、レイヤーのレイアウト寸法を変更させる手段と、を備えてなることを特徴とする。

【0012】 この発明による第2の集積回路マスクのレイアウト方法は、入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する方法であって、レイアウトデータとプロセスデータとを入力する第1ステップと、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する第2ステップと、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する第3ステップと、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する第3ステップと、当該回路特性が所望の特性であるか否かを判別する第4ステップと、当該回路特性が所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更する第5ステップと、当該回路特性が所望の特性になるまで、上記第2ステップから第5ステップの処理を繰り返して行なう第6ステップとからなることを特徴とする。

【0013】 この発明による第2の集積回路マスクのレイアウト装置は、入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータとプロセスデータとを入力する入力手段と、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する断面構造データ作成手段と、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する電気的特性データ作成手段と、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する回路特性データ作成手段と、当該回路特性が所望の特性であるか否かを判別する判別手段と、当該回路特性が所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更するデータ変更手段と、当該回路特性が所望の特性になるまで、断面構造データ作成手段、電気的特性データ作成手段、回路特性データ作成手段、判別手段およびデータ変更手段による処理を繰り返して行なう手段と、を備えてなることを特徴とする。

5

【0014】又、この発明による集積回路マスクのレイアウト装置は、入力された各レイヤーの図形に基いて、集積回路マスクのレイアウトを作成する装置であって、レイアウトデータ入力とプロセスデータ入力とこれらのデータのうち変更可能なデータの指定入力と指定したデータについての変更優先順位入力とを行なうための入力手段と、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する断面構造データ作成手段と、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する電気的特性データ作成手段と、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する回路特性データ作成手段と、当該回路特性が所望の特性であるか否かを判別する判別手段と、当該回路特性が所望の特性でない場合には、上記指定入力されたデータを変更するデータ変更手段と、当該回路特性が所望の特性になるまで、断面構造データ作成手段、電気的特性データ作成手段、回路特性データ作成手段、判別手段およびデータ変更手段による処理を繰り返し行なう手段とを備え、データ変更手段が変更優先順位の順に上記指定入力されたデータのうちの一つのデータを変更することを特徴とする。

【0015】

【作用】この発明による第1の集積回路マスクのレイアウト方法及び装置では、下地形状による寸法変化を検出し、その寸法変化を補正する様にレイアウトデータが変更される。従って、デザインルールはその領域毎に最小のルールでレイアウトが可能になり、チップ面積を小さくすることができる。

【0016】この発明による第2の集積回路マスクのレイアウト方法では、まず、レイアウトデータとプロセスデータとを入力する（第1ステップ）。次に、レイアウトデータとプロセスデータとに基いて、デバイスの断面構造に関するデータを作成する（第2ステップ）。次に、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータを作成する（第3ステップ）。次に、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータを作成する（第4ステップ）。

【0017】次に、当該回路特性が所望の特性であるか否かを判別し、当該回路特性が所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更する（第5ステップ）。

【0018】そして、当該回路特性が所望の特性になるまで、上記第2ステップから第5ステップの処理を繰り返して行なう（第6ステップ）。

6

【0019】この発明による第2の集積回路マスクのレイアウト装置は、上記方法を実現する。

【0020】更に、この発明による集積回路マスクのレイアウト装置では、レイアウトデータ入力とプロセスデータ入力とこれらのデータのうち変更可能なデータの指定入力と指定したデータについての変更優先順位入力とが入力手段によって行なわれる。

【0021】断面構造データ作成手段によって、データとプロセスデータとに基いて、デバイスの断面構造に関するデータが作成される。

【0022】電気的特性データ作成手段によって、デバイスの断面構造に関するデータとあらかじめ設定されているバイアス条件とに基いて、デバイスの電気的特性に関するデータが作成される。

【0023】回路特性データ作成手段によって、デバイスの電気的特性に関するデータから抽出されるスパイスパラメータとレイアウトデータから抽出されるネットリストとに基いて、回路特性に関するデータが作成される。

【0024】判別手段によって、当該回路特性が所望の特性であるか否かが判別される。当該回路特性が所望の特性でない場合には、データ変更手段によって、上記指定入力されたデータが変更される。そして、当該回路特性が所望の特性になるまで、断面構造データ作成手段、電気的特性データ作成手段、回路特性データ作成手段、判別手段およびデータ変更手段による処理が繰り返し行なわれる。

【0025】データ変更手段によるデータ変更は、変更優先順位の順に上記指定入力されたデータのうちの一つのデータを変更することにより行なわれる。

【0026】

【実施例】以下、この発明の実施例を図面を参照して説明する。

【0027】図1～図6は、この発明の第1実施例を示している。

【0028】図1は、第1実施例のシステムの構成を示すブロック図であり、1はマウス、キーボード等からなる情報入力手段であり、各レイヤーの素子、構成、デザインルールなどのレイアウトデータを入力する。

【0029】2はレイアウトエディタよりなるマスクレイアウト手段であり、情報入力手段1より与えられたレイアウトデータに基づき各レイヤーのマスクレイアウトを作成する。このマスクレイアウトを作成する際に、与えられたデザインルールとして本実施例においては平坦部で必要とされる寸法が設定されている。例えば、メタルレイヤーでは、平坦部において必要とする最小の線幅に設定されている。

【0030】このマスクレイアウト手段1により作成されたマスクレイアウトデータは、一旦ハードディスクなどからなるデータ記憶手段7に格納される。

【0031】3は段差部検出手段であり、マスクレイアウト手段2より与えられるレイアウトデータにより、レイヤーの交差点、すなわち、段差部を検出する。4は段差部検出手段3より検出した段差部の下地形状を検出する形状シミュレータなどで構成された下地形状検出手段であり、下地形状は与えられた段差部のレイアウトデータによりシミュレーションを行うことにより、段差部の形状を導出することができる。この下地形状検出手段4はLSI製造プロセスのうち写真製版、デポジション、エッチング等の形状変化に関するプロセスをシミュレーションするもので、このシミュレーションの下地形状のデータをデータベースに蓄えている。

【0032】5は下地形状による寸法変化を検出する手段であり、下地形状検出手段4による段差部の形状データに基いて、レイアウト上の寸法から段差部における実際の寸法を算出し、この部分のデザインルールを変更し、この変更したデータを情報出力手段6に与える。

【0033】この算出方法としては形状シミュレータを用いるかあるいは下地形状による寸法の変化の実測データを蓄積し、経験則により算出するように構成してもよい。上述した変更データは情報出力手段6からデータ記憶手段7へ供給され、データ記憶手段7に記憶されているレイアウトの該当部分が書き替えられる。

【0034】上述した各動作はCPUからなる制御手段8の制御の下で行われる。

【0035】続いて、本発明の動作を図2～図5に従い更に説明する。図2は本発明の動作手順を示すフローチャート、図3は本実施例のデータの流れを示す模式図、図4は段差部の1例を示す平面図、図5は図4のA-A'線断面図、図6は段差部の要部平面図である。

【0036】本実施例においては、図4に示すように、ポリシリコンレイヤー17の上を第1のメタルレイヤー18が交差している場合を例にとり説明する。

【0037】このように2つのレイヤーが交差する場合の形状を図5に示す。図5に示すように、基板15の上にポリシリコンレイヤー17が配設され、そしてこの上に層間絶縁膜としてのPSG膜21を介して第1のメタルレイヤー18が設けられる。この図中19で示す領域が段差による影響をメタルレイヤー18に与える。そこで、この部分でのメタル配線の段線を防止するために線幅を大きくする必要がある。

【0038】更に、このメタルレイヤー18の上に層間絶縁膜23を介して第2のメタルレイヤーを設けこの第2のメタルレイヤーと第1のメタルレイヤー18とをスルーホールを介して接続するために、層間絶縁膜23にスルーホールを形成する。このスルーホールを形成するためにレジスタ22を層間絶縁膜23の上に設け、このレジスタ22を写真製版工程によりパターンニングを行う。

【0039】この写真製版工程においても、段差部によ

る影響がある。すなわち図中20で示す領域においては、レジスタ22の写真製版において、段差による光の反射により図6に示すようにレジスタ22に形成されるマスクパターンのスルーホール24が図中aで示す分だけ大きくなる。但し、レジスタ22がボジ型レジスタを用いた場合である。そこでこの部分については、段差による影響を考慮してスルーホール24のレイアウトを行えばよい。すなわち、光の反射により大きくなる分を考慮し、その部分だけ、スルーホール24のレイアウトを小さくすれば光の反射により拡大し、レジスタ22に形成されるスルーホール24のパターンは実際に要求される大きさのもの得られる。

【0040】従って、図中20で示す領域のスルーホールに対しては、最初のレイアウトデータで形成すれば“a”だけ大きくなっているのを、最初のレイアウトデータを“a”だけ小さくするように補正すれば良い。しかし、マスクを“a”だけ小さくすると、実際はマスクが“a”だけ小さくなり、写真製版時の光量が減り期待する“a”の幅だけ寸法が大きくなる。そのため、レイアウトデータを“a”小さくする時、更に、補正値をかける必要がある。

【0041】図3は、本実施例の各データの流れを示す模式図であり、この図において、20はマスクレイアウト手段としてのレイアウトエディタ、21は、下地形状による寸法変化を行なうレイアウトデータ変換装置、22は形状シミュレータである。これらレイアウトエディタ20、レイアウトデータ変換装置21、形状シミュレータ22は、コンピュータのソフトウェアで構成される。

【0042】23ないし26は各データが記憶されるハードディスクなどからなる記憶手段であり、レイアウトエディタ20により作成されたレイアウトデータはまず、段差部レイアウトデータ記憶手段23に記憶される。この段差部レイアウトデータ記憶手段23から、レイアウトデータが形状シミュレータ22並びにレイアウトデータ変換装置21に与えられる。

【0043】形状シミュレータ22は与えられたレイアウトデータに基き、エッチング、デポジションなどの各設定条件等により下地断面形状をシミュレーションし、そのシミュレーションデータの下地断面形状を記憶している下地断面形状記憶手段24に与える。

【0044】下地断面形状記憶手段24には、シミュレーションデータに基く各下地断面形状が記憶されており、この断面形状データが形状シミュレータ22に与えられる。形状シミュレータ22は与えられた断面形状データに基いて、リソグラフィのシミュレーションを行い、その段差により影響があるデータをレジスト寸法を記憶しているレジスト寸法記憶手段25に与える。

【0045】レジスト寸法記憶手段25からのレジストデータがレイアウトデータ変換装置21に与える。

【0046】レイアウトデータ変換装置21は段差部レイアウトデータ記憶手段23およびレジスト寸法記憶手段25からのデータに基づきレイアウト寸法を変更し、その変更したデータを新しいレイアウトデータとしてレイアウトデータ記憶手段26に与える。

【0047】次に、本実施例の動作を図2のフローチャートに従い更に説明する。まず、デザインルール等のレイアウトデータに基づいて、レイアウトエディタ20により各レイヤーのレイアウトを作成する(ステップS1)。

【0048】続いて、このレイアウトエディタ20からのレイアウトデータに基づいて、レイアウトデータの交差点、すなわち段差部を段差部検出手段3にて検出する(ステップS2)。

【0049】その後、下地形状をデータベース14に格納されている下地形状データに基づいて、下地形状を検出する(ステップS3)。

【0050】然る後、下地形状に基づいて、データベース15に格納されている各レイヤーの寸法を変化させる必要を有するデータに基づいて、レイアウトの寸法を変化し(ステップS4)、レイアウトデータを変更して(ステップS5)、動作を終了する。

【0051】尚、上述した実施例においては、段差部によって、レイアウトの寸法を変更する場合について説明したが、更に、回路動作上大きな電流が流れる部分には、その電流による影響を考慮して、配線等の幅を変更するように構成しても良い。

【0052】図7および図8は、この発明の第2実施例を示している。

【0053】図7は、第2実施例のシステムの構成を示すブロック図であり、31はマウス、キーボード等からなる情報入力手段であり、レイアウトデータおよびプロセスデータが入力される。レイアウトデータとしては、各レイヤーの素子、構成、デザインルール等がある。プロセスデータとしては、不純物エネルギー、ドーズ量、拡散時間等のプロセスパラメータ、プロセスフロー等がある。

【0054】32はレイアウトエディタであり、情報入力手段31より与えられたレイアウトデータに基づき各レイヤーのマスクレイアウトを作成する。このレイアウトエディタ32により作成されたマスクレイアウトデータは、一旦ハードディスクなどからなるデータ記憶手段37に格納される。

【0055】33はプロセスシュミレータであり、レイアウトエディタ32により与えられるマスクレイアウトデータと情報入力手段31より与えられたプロセスデータとに基づいて、酸化膜厚、不純物拡散深さ等のデバイス断面構造に関するデータを作成する。

【0056】34はデバイスシュミレータであり、プロセスシュミレータ33により与えられるデバイス断面構

造のデータと、バイアス条件とに基づいて、デバイスの電気的特性に関するデータを作成する。

【0057】35は回路シュミレータであり、デバイスシュミレータ34により与えられるデバイスの電気的特性データから抽出されるスパイスパラメータと、マスクレイアウトデータから抽出されるネットリストとに基づいて、遅延時間、出力波形等の回路特性に関するデータを作成する。

【0058】36は、表示装置であり、レイアウト画面、各シュミレータの結果を表示する。

【0059】上述した各動作はCPUからなる制御手段38の制御の下で行われる。

【0060】次に、本実施例の動作を図8のフローチャートに従い更に説明する。

【0061】まず、ユーザによって、レイアウトデータと、プロセスデータとが情報入力手段31から入力される(ステップS11)。

【0062】次に、プロセスシュミレータ33によって、レイアウトデータとプロセスデータとに基づいて、各デバイスの断面構造に関するデータが作成される(ステップS12)。この際、レイアウトの全部分についてシュミレーションを行なう必要はなく、トランジスタ部、フィールド酸化部といった部分をシュミレーションし、全体に展開する。

【0063】次に、デバイスシュミレータ34によって、プロセスシュミレータ33により得られた各デバイスの断面構造に関するデータと、あらかじめ設定されているバイアス条件とに基づいて、各デバイスの電気的特性に関するデータが作成される(ステップS13)。

【0064】次に、回路シュミレータ35によって、デバイスシュミレータ34により得られた各デバイスの電気的特性に関するデータから抽出されるスパイスパラメータと、レイアウトデータから抽出されるネットリストとに基づいて、遅延時間、出力波形等の回路特性に関するデータが作成される(ステップS14)。

【0065】次に、回路シュミレータ35によって得られた回路特性が、所望の特性であるか否かが判別される(ステップS15)、所望の特性であれば、この処理は終了する。

【0066】回路シュミレータ35によって得られた回路特性が、所望の特性でない場合には、レイアウトデータおよびプロセスデータのうちの一方または両方を変更し(ステップS16)、ステップS12に戻り、ステップS12～S15の処理が行なわれる。そして、回路シュミレータ35によって得られた回路特性が所望の特性となるまで、ステップS12～S15の処理が繰り返行なわれる。

【0067】上記ステップS16におけるレイアウトデータおよびプロセスデータの変更は、ユーザが手動で行なってもよいし、自動的に行なってもよい。

【0068】レイアウトデータおよびプロセスデータの変更を、自動的に行なうには、上記ステップS11のレイアウトデータおよびプロセスデータの入力時に、変更可能なパラメータを指定入力するとともに指定したパラメータの変更優先順位を入力するようにし、上記ステップS16の処理が行なわれる際に、優先順位順に1つのパラメータを自動的に変更するようにすればよい。

【0069】

【発明の効果】この発明による第1の集積回路マスクのレイアウト方法およびこの発明による集積回路マスクのレイアウト装置によれば、下地形状による寸法変化を検出し、その寸法変化を補正する様にレイアウトデータを変更することにより、デザインルールはその領域に最小のルールでレイアウトを行なうことができる。従って、チップ面積の小さなレイアウトを行なうことができる。

【0070】この発明による第2の集積回路マスクのレイアウト方法およびこの発明による集積回路マスクのレイアウト装置によれば、作成されたレイアウトのパターンの試作、評価を高速にでき、所望の回路特性を有するレイアウトを効率よく作成できる。

【図面の簡単な説明】

【図1】この発明の第1実施例のシステム構成を示すブロック図である。

【図2】この発明の第1実施例の動作を説明するフロー

チャートである。

【図3】この発明の第1実施例のシステムのデータの流れを示す模式図である。

【図4】LSIのレイアウト形状を示す平面図である。

【図5】LSIのレイアウト形状を示す図4のA-A'線断面図である。

【図6】LSIのレイアウト形状を示す要部拡大平面図である。

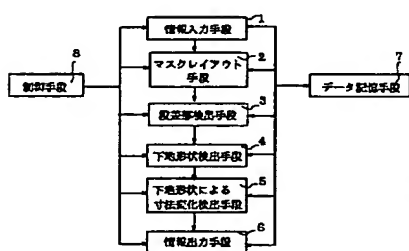
【図7】この発明の第2実施例のシステム構成を示すブロック図である。

【図8】この発明の第2実施例の動作を説明するフローチャートである。

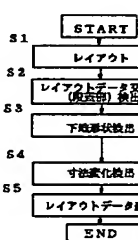
【符号の説明】

- 2 マスクレイアウト手段
- 3 段差部検出手段
- 4 下地検出手段
- 5 寸法変化検出手段
- 8 制御手段
- 31 情報入力手段
- 32 レイアウトエディタ
- 33 プロセスシュミレータ
- 34 デバイスシュミレータ
- 35 回路シュミレータ
- 38 制御手段

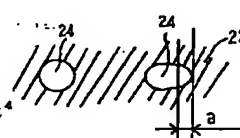
【図1】



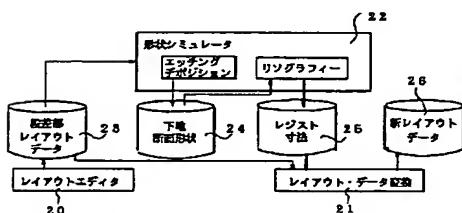
【図2】



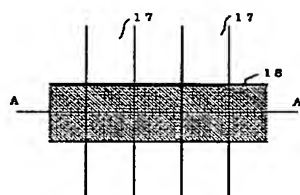
【図6】



【図3】



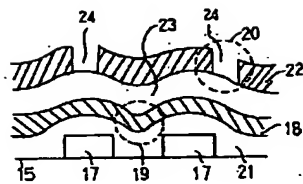
【図4】



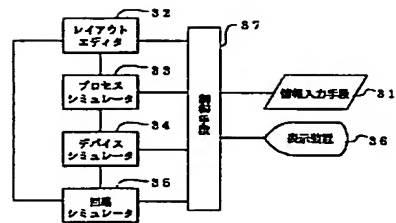
(8)

特開平4-218944

【図5】



【図7】



【図8】

